

特 許 協 力 条 約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
(PCT36条及びPCT規則70)

REC'D 26 NOV 2004

WIPO PCT

出願人又は代理人 の書類記号 310200641WO1	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO3/08973	国際出願日 (日.月.年) 15.07.2003	優先日 (日.月.年) 22.07.2002
国際特許分類(IPC) Int. Cl ⁷ G06F13/16, 12/00		
出願人(氏名又は名称) 株式会社ルネサステクノロジ		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で <u>6</u> ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で <u>9</u> ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input checked="" type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 15.07.2003	国際予備審査報告を作成した日 02.11.2004	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 多 賀 実	5N 9367 電話番号 03-3581-1101 内線 3545

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-43 ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 5, 6, 12, 14, 19, 22 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 1-4, 7-11, 13, 15-18, 20, 21 項、 05.01.2004 付の書簡と共に提出されたもの

☒ 図面 第 1-27 ~~ページ~~/図、 出願時に提出されたもの
図面 第 _____ ~~ページ~~/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ~~ページ~~/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

IV. 発明の単一性の欠如

1. 請求の範囲の減縮又は追加手数料の納付の求めに対して、出願人は、

- ☐ 請求の範囲を減縮した。
- ☐ 追加手数料を納付した。
- ☒ 追加手数料の納付と共に異議を申立てた。
- ☐ 請求の範囲の減縮も、追加手数料の納付もしなかった。

2. ☐ 国際予備審査機関は、次の理由により発明の単一性の要件を満たしていないと判断したが、PCT規則68.1の規定に従い、請求の範囲の減縮及び追加手数料の納付を出願人に求めないこととした。

3. 国際予備審査機関は、PCT規則13.1、13.2及び13.3に規定する発明の単一性を次のように判断する。

- ☒ 満足する。
- ☐ 以下の理由により満足しない。

4. したがって、この国際予備審査報告書を作成するに際して、国際出願の次の部分を、国際予備審査の対象にした。

- ☒ すべての部分
- ☐ 請求の範囲 _____ に関する部分

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲 1-22 有
請求の範囲 無

進歩性(IS)

請求の範囲 有
請求の範囲 1-22 無

産業上の利用可能性(IA)

請求の範囲 有
請求の範囲 1-22 無

2. 文献及び説明(PCT規則70.7)

文献1: US 5778419 A(Microunity Systems Engineering, Inc.)

1998.07.07, 全頁, 全図

文献2: JP 2000-315185 A(株式会社日立製作所, 株式会社日立画像情報システム)

2000.11.14, 全文, 全図

文献3: US 5794060 A(Microunity Systems Engineering, Inc.)

1998.08.11, FIG. 16(a), 16(b)

文献4: JP 10-177427 A(株式会社日立製作所) 1998.06.30, 全頁, 全図

文献5: JP 2000-148656 A(三菱電機株式会社)

2000.05.30, 第【0071】-【0086】段落, 図7-10

文献6: JP 2001-14840 A(日本電気株式会社) 2001.01.19, 全頁, 全図

文献7: JP 10-136034 A(アスコム・テヒ・アクエンゲゼルシャフト) 1998.05.22, 全頁, 全図

文献8: JP 11-88442 A(横河電機株式会社) 1999.03.30, 全頁, 全図

文献9: JP 2002-7308 A(日本電気株式会社) 2002.01.11, 全頁, 全図

文献10: JP 2001-156621 A(株式会社東芝) 2001.06.08, 全頁, 全図

(請求の範囲1-3)

請求の範囲1-3に記載された発明は文献1, 2, 9, 10により進歩性を有しない。

文献1には、メモリチップにおいて、入力ポートよりクロックに同期して受信したパケットに応答して、内部回路で生成された応答信号あるいは前記入力ポートより受信したパケットを出力ポートより出力すること、及び、パケットとクロックを別々の端子(FIG. 1の符号113, 114, 123, 124)で入力/出力することが記載されている。

文献2には、半導体メモリにおいて、入力端子よりクロックに同期して受信したコマンド、アドレス、データに応答して、内部回路で生成されたリードデータあるいは前記入力端子より受信した各データを、出力端子より出力すること、及び、クロックと各データとを別々の端子(図1の符号200, 300, 201, 301)で入力/出力することが記載されている。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V. 2 欄の続き

文献 9 には、メモリ制御素子と記憶素子間、あるいは記憶素子間を 1 対 1 で接続するものにおいて、各素子は、アドレス信号、クロック信号、データ信号、要求制御信号を別々の端子から入力／出力することが記載されている。

文献 10 には、コントローラ LSI とメモリ LSI 間、あるいはメモリ LSI 間を 1 対 1 で接続するものにおいて、各メモリ LSI が、データ、アドレスおよびコマンドをそれぞれ一まとめにしたパケットで送受信する例 (【0230】 - 【0240】 段落, 図 45) の他、データ、アドレス信号、制御信号の伝送経路を分離する例 (【0183】 - 【0186】 , 【0190】 段落, 図 41) が記載されている。

文献 1 又は 2 記載のメモリにおいて、文献 9, 10 に基づいて、クロックのみならず、制御信号、アドレス信号、データ信号についても別々の端子から入力／出力するよう構成することは、当業者にとって容易である。

(請求の範囲 4 - 6)

請求の範囲 4 - 6 に記載された発明は文献 1, 9, 10 より進歩性を有しない。文献 1 記載のメモリチップにおいても、各信号は、内部の PLL で再生したクロックでスキュー調整されている (特に FIG. 7 参照)。

(請求の範囲 7, 8)

請求の範囲 7, 8 に記載された発明は文献 1, 2, 8, 9 より進歩性を有しない。上記 (請求の範囲 1 - 3) についての記載に加えて、文献 1, 2 記載のものも、複数のメモリチップ間、あるいは、ホストデバイス 500 (文献 1) / コントローラ 2 (文献 2) とメモリチップとが、対応する端子同士で 1 対 1 接続されている。

(請求の範囲 9)

請求の範囲 9 に記載された発明は文献 1, 9, 10 より進歩性を有しない。上記 (請求の範囲 4 - 6) と同様である。

(請求の範囲 10 - 12)

請求の範囲 10 - 12 に記載された発明は文献 1, 2, 9, 10 より進歩性を有しない。上記 (請求の範囲 1 - 3) についての記載に加えて、文献 1, 2 記載のものも、複数のメモリのうち、前段のメモリの出力端子と、次段のメモリの入力端子との対応するもの同士が接続されて縦列形態とされ、ホストデバイス 500 (文献 1)、コントローラ 2 (文献 2) とともに環状バスを構成している (文献 1 の FIG. 5, 文献 2 の図 3 参照)。

(請求の範囲 13, 14)

請求の範囲 13, 14 に記載された発明は文献 1, 9, 10 より進歩性を有しない。上記 (請求の範囲 4 - 6) と同様である。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V. 2 欄の続き

(請求の範囲 15, 17, 18)

請求の範囲 15, 17 に記載された発明は、文献 1-3, 9, 10 により進歩性を有しない。文献 3 の Fig 16 (a) (b) に記載されているように、環状バスを複数設けて複数チャネルを構成することは当業者にとって容易である。

(請求の範囲 16)

請求の範囲 16 に記載された発明は、文献 1-4, 9, 10 により進歩性を有しない。文献 4 の図 12 及び第【0101】段落には、メモリコントローラを出たアドレス・コマンド線を、初段を構成する複数のメモリに接続する以前に分岐させ、各系統用のアドレス・コマンド線とすることが記載されている。したがって、環状バスを複数設けて複数チャネルを構成する場合においても、メモリコントローラを出たアドレス・コマンド線を、各チャネルの初段のメモリに接続する以前に分岐させて各チャネル用のアドレス・コマンド線とすることは、当業者にとって容易である。

(請求の範囲 19)

請求の範囲 19 に記載された発明は、文献 1-5, 9, 10 により進歩性を有しない。文献 5 の第【0071】乃至【0086】段落、図 7-10 には、基板両面へメモリを実装するとともに、基板両面のバスを貫通孔により接続することにより、環状バスを構成することが記載されている。当該記載に基づき請求の範囲 19 で特定された事項を想到することは容易である。

(請求の範囲 20)

請求の範囲 20 に記載された発明は、文献 1, 2, 6, 9, 10 により進歩性を有しない。文献 6 にはメモリセルアレイからバッファヘータを読み出すプリフェッチコマンド、バッファから出力端子外部ヘータを出力させるバッファリードコマンドを設けることが記載されている。したがって、文献 1 記載のものにおいて、response buffer 404 に対するプリフェッチコマンド、バッファリードコマンドを設けることは容易である。

(請求の範囲 21)

請求の範囲 21 に記載された発明は、文献 1, 2, 6, 9, 10 により進歩性を有しない。ライトバッファからメモリへの書き込みを自律的に行うことは周知であるから、文献 1 記載のものにおいて、ライトバッファからメモリセルへの書き込みを自律的に行うことに特段の困難性はない。

(請求の範囲 22)

請求の範囲 22 に記載された発明は、文献 1, 2, 7-10 により進歩性を有しない。文献 7, 8 には、m 本の伝送線のうち、n 本の伝送線をレベル遷移させることによるデータ転送方式が記載されている。

請 求 の 範 囲

1. (補正後) 命令を示す第 1 信号を入力する第 1 入力端子と、
情報を示す第 2 信号を入力する第 2 入力端子と、
情報の所在位置を示す第 3 信号を入力する第 3 入力端子と、
05 タイミングを示す第 4 信号を入力する第 4 入力端子と、
上記第 1 信号に対応し、命令を示す第 5 信号を出力する第 1 出力端子と、
上記第 2 信号に対応し、情報を示す第 6 信号を出力する第 2 出力端子と、
10 上記第 3 信号に関連し、情報の所在位置を示す第 7 信号を出力する第 3 出力端子と、
上記第 4 信号に対応し、タイミングを示す第 8 信号を出力する第 4 出力端子とを含むことを特徴とする半導体集積回路装置。
2. (補正後) 請求の範囲第 1 項において、
15 上記第 1 信号は、動作状態を指示するコマンドであり、
上記第 2 信号は、記憶すべきデータであり、
上記第 3 信号は、アドレス信号であり、
上記第 4 信号は、クロックであり、
上記半導体集積回路装置は、上記クロックに同期して入力されたコマ
20 ンド及びアドレス信号に対応して動作するメモリ回路を含むものであることを特徴とする半導体集積回路装置。
3. (補正後) 請求の範囲第 2 項において、
上記メモリ回路は、自身に割り当てられたアドレスに対応した読み出し動作が指示されたときに、上記 3 信号に従って読み出された記憶情報を
25 を上記第 2 信号に置き換えて上記第 2 出力端子から出力するものであることを特徴とする半導体集積回路装置。

4. (補正後) 請求の範囲第1項において、

上記第1、第2、第3、第4出力端子から出力される上記第5、第6、第7、第8信号は、内部で再生されたタイミング信号により再調整されるものであることを特徴とする半導体集積回路装置。

05 5. 請求の範囲第4項において、

上記再調整されるタイミング信号は、基準タイミング信号を受ける位相同期ループ回路で生成されるものであることを特徴とする半導体集積

回路装置。

6. 請求の範囲第5項において、

上記基準タイミング信号は、外部から入力されるものであることを特徴とする半導体集積回路装置。

- 05 7. (補正後) 命令を示す第1信号を入力する第1入力端子と、
 情報を示す第2信号を入力する第2入力端子と、
 情報の所在位置を示す第3信号を入力する第3入力端子と、
 タイミングを示す第4信号を入力する第4入力端子と、
 上記第1信号に対応し、命令を示す第5信号を出力する第1出力端子
 10 と、
 上記第2信号に対応し、情報を示す第6信号を出力する第2出力端子
 と、
 上記第3信号に関連し、情報の所在位置を示す第7信号を出力する第
 3出力端子と、
 15 上記第4信号に対応し、タイミングを示す第8信号を出力する第4出
 力端子とを含む第1半導体集積回路装置と、
 上記第1出力端子に接続され、命令を示す上記第5信号を入力する第
 5入力端子と、
 上記第2出力端子に接続され、情報を示す上記第6信号を入力する第
 20 6入力端子と、
 上記第3出力端子に接続され、情報の所在位置を示す上記第7信号を
 入力する第7入力端子と、
 上記第4出力端子に接続され、タイミングを示す上記第8信号を入
 力する第8入力端子と、
 25 上記第5信号に対応し、命令を示す第9信号を出力する第5出力端子
 と、

上記第 6 信号に対応し、情報を示す第 1 0 信号を出力する第 6 出力端子と、

上記第 7 信号に関連し、情報の所在位置を示す第 1 1 信号を出力する第 7 出力端子と、

05 上記第 8 信号に対応し、タイミングを示す第 1 2 信号を出力する第 8 出力端子とを含む第 2 半導体集積回路装置とを備えてなることを特徴とするデータ処理システム。

8. (補正後) 請求の範囲第 7 項において、

10 上記命令を示す第 1、第 5、第 9 信号は、動作状態を指示するコマンドであり、

上記情報を示す第 2、第 6、第 1 0 信号は、記憶すべきデータであり、

上記情報の所在位置を示す第 3、第 7、第 1 1 信号は、アドレス信号であり、

15 上記タイミングを示す第 4、第 8、第 1 2 信号は、クロックであり、

上記第 1 と第 2 半導体集積回路装置の各々は、上記クロックに同期して入

力されたコマンド及びアドレス信号に対応して動作するメモリ回路を含むものであることを特徴とするデータ処理システム。

9. (補正後) 請求の範囲第8項において、

05 上記第1、第2、第3、第4出力端子から出力される上記第5、第6、第7、第8信号は、第1半導体集積回路装置の内部で再生されたタイミング信号により再調整されるものであり、

10 上記第5、第6、第7、第8出力端子から出力される上記第9、第10、第11、第12信号は、第2半導体集積回路装置の内部で再生されたタイミング信号により再調整されるものであることを特徴とするデータ処理システム。

10. (補正後) コマンド、データアドレス、タイミング信号がそれぞれ入力される第1ないし第4入力端子と、

15 上記第1ないし第4入力端子から入力された入力信号に関連した信号をそれぞれ出力させる第1ないし第4出力端子とを含む半導体記憶装置を複数個備え、

上記複数の半導体記憶装置のうち、前段とされる半導体記憶装置の各出力端子と次段とされる半導体記憶装置の各入力端子の対応するもの同士が接続されて縦列形態とされることを特徴とするメモリシステム。

11. (補正後) 請求の範囲第10項において、

20 上記縦列形態の初段の半導体記憶装置の第1ないし第4入力端子には、信号生成回路により形成されたコマンド、データ、アドレス、タイミング信号が供給され、

25 上記縦列形態の終段の半導体記憶装置の第1ないし第4出力端子から出力される出力信号のうち、少なくともデータに対応した信号は、上記信号生成回路に伝えられるものであることを特徴とするメモリシステム。

1 2. 請求の範囲第 1 1 項において、

上記信号生成回路は、1 つの半導体集積回路装置から構成されるメモリ制御装置であることを特徴とするメモリシステム。

1 3. (補正後) 請求の範囲第 1 2 項において、

05 上記第 1 ないし第 4 出力端子から出力されるコマンド、データ、アドレス及びタイミング信号は、内部で再生されたタイミング信号により再調整されるもの

であることを特徴とするメモリシステム。

14. 請求の範囲第13項において、

上記再調整されるタイミング信号は、基準タイミング信号を受ける位
相同期ループ回路で生成されるものであることを特徴とするメモリシ
05 テム。

15. (補正後) 請求の範囲第12項において、

上記メモリ制御装置により生成されたデータは、上記初段を構成する
複数の半導体記憶装置の第2入力端子に振り分けられて供給され、

上記初段の複数の半導体記憶装置に対応して次段から終段まで複数の
10 半導体記憶装置が設けられて、それぞれが一对一に対応して縦列接続さ
れるものであることを特徴とするメモリシステム。

16. (補正後) 請求の範囲第15項において、

上記信号生成回路で形成されたコマンド及びアドレスは、上記初段を
構成する複数の半導体記憶装置の第1、第3入力端子に共通に伝えられ

15 、

上記初段の複数の半導体記憶装置の第1、第3出力端子から終段の複
数の半導体記憶装置の第1、第3入力端子までの接続においては、上記
コマンド及びアドレスが上記データに対応してそれぞれが一对一に接続
されることを特徴とするメモリシステム。

20 17. (補正後) 請求の範囲第15項において、

上記信号生成回路は、上記初段を構成する複数の半導体記憶装置の第
1、第3入力端子に対応した複数組のコマンド及びアドレスを生成し、
上記初段を構成する複数の半導体記憶装置の第1、第3入力端子に対し
て一对一に対応して伝えられ、

25 上記初段の複数の半導体記憶装置の第1、第3出力端子から終段の複
数の半導体記憶装置の第1、第3入力端子までの接続においても、上記

コマンド及びアドレスが上記データに対応してそれぞれが一對一に接続
されることを特徴とす

るメモリシステム。

18. (補正後) 請求の範囲第15項において、

05 上記複数の半導体記憶装置は、自身に割り当てられたアドレスに対応した読み出し動作が指示されたときに、上記アドレスに従って読み出された記憶情報を第2入力端子の入力情報に置き換えて第2出力端子から出力するものであることを特徴とするメモリシステム。

19. 請求の範囲第16項において、

10 上記縦列接続される前段の半導体記憶装置と後段の半導体記憶装置とは、共通の実装基板の表面と裏面に実装され、スルーホールによって上記縦列形態に接続されるものであることを特徴とするメモリシステム。

20. (補正後) 請求の範囲第10項において、

上記半導体記憶装置は、読み出し用バッファ回路を備え、メモリセルから上記読み出し用バッファ回路に記憶情報を読み出して保持させる第1読み出しコマンドと、
15 上記読み出し用バッファ回路に保持された記憶情報を第2出力端子から出力させる第2読み出しコマンドを備えるものであることを特徴とするメモリシステム。

21. (補正後) 請求の範囲第20項において、

20 上記半導体記憶装置は、書き込み用バッファ回路を備え、書き込みコマンドは、第2入力端子から供給されたデータを上記書き込み用バッファに書き込み、上記書き込み用バッファに書き込まれたデータは、内部制御回路により自律的にメモリセルに書き込まれるものであることを特徴とするメモリシステム。

25 22. 請求の範囲第10項において、

データは、m本の伝送線のうち、少なくともn本の伝送線が周期ごと